

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Akira NISHIYAMA, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: COMPLEMENTARY FIELD EFFECT TRANSISTOR AND ITS MANUFACTURING METHOD

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number \_\_\_\_\_, filed \_\_\_\_\_, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):  
Application No. \_\_\_\_\_ Date Filed \_\_\_\_\_

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-011843	January 21, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_
- ☐ were submitted to the International Bureau in PCT Application Number \_\_\_\_\_  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_; and
- ☐ (B) Application Serial No.(s) \_\_\_\_\_  
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   1 月 2 1 日  
Date of Application:

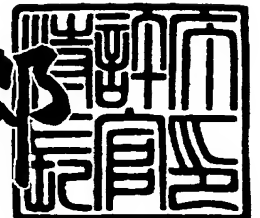
出 願 番 号            特 願 2 0 0 3 - 0 1 1 8 4 3  
Application Number:  
[ST. 10/C] :            [ J P 2 0 0 3 - 0 1 1 8 4 3 ]

出   願   人            株 式 会 社 東 芝  
Applicant(s):

2 0 0 3 年   7 月   8 日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



【書類名】 特許願

【整理番号】 13B0291151

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/96  
H01L 21/02

【発明の名称】 相補型電界効果トランジスタ及びその製造方法

【請求項の数】 9

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝  
横浜事業所内

【氏名】 西山 彰

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝  
横浜事業所内

【氏名】 小野 瑞城

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝  
横浜事業所内

【氏名】 小山 正人

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝  
横浜事業所内

【氏名】 石原 貴光

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

## 【代理人】

【識別番号】 100083161

【弁理士】

【氏名又は名称】 外川 英明

【電話番号】 (03)3457-2512

## 【手数料の表示】

【予納台帳番号】 010261

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 相補型電界効果トランジスタ及びその製造方法

【特許請求の範囲】

【請求項 1】

半導体基板、

前記半導体基板上に形成された、IV属の金属及びランタン系列の金属のいずれかの酸化物を含み、前記金属と他の金属との化合物により形成される正電荷を備えた第一のゲート絶縁膜と、前記第一のゲート絶縁膜上に形成された金属ゲート電極と、前記第一のゲート絶縁膜の両脇に形成されたn型ソース・ドレイン領域とを備えるn型電界効果トランジスタ、及び

前記半導体基板上に形成された、前記IV属の金属及びランタン系列の金属のいずれかの酸化物を含み、かつ前記正電荷を含まない第二のゲート絶縁膜と、前記第二のゲート絶縁膜上に形成された前記n型電界効果トランジスタのゲート電極と同じ金属を含むゲート電極と、前記第二のゲート絶縁膜の両脇に形成されたp型ソース・ドレイン領域とを備えるp型電界効果トランジスタを具備することを特徴とする相補型電界効果トランジスタ。

【請求項 2】

前記他の金属はIII族の金属であることを特徴とする請求項 1 記載の相補型電界効果トランジスタ。

【請求項 3】

半導体基板、

前記半導体基板上に形成された、IV属の金属及びランタン系列の金属のいずれかの酸化物を含み、前記金属とIII族の金属の化合物を含む第一のゲート絶縁膜と、前記第一のゲート絶縁膜上に形成された金属ゲート電極と、前記第一のゲート絶縁膜の両脇に形成されたn型ソース・ドレイン領域とを備えるn型電界効果トランジスタ、及び

前記半導体基板上に形成された、前記IV属の金属及びランタン系列の金属のいずれかの酸化物を含み、前記酸化物中に前記金属とIII族の金属の化合物を含まない第二のゲート絶縁膜と、前記第二のゲート絶縁膜上に形成された前記n型電

界効果トランジスタのゲート電極と同じ金属を含むゲート電極と、前記第二のゲート絶縁膜の両脇に形成されたp型ソース・ドレイン領域とを備えるp型電界効果トランジスタを具備することを特徴とする相補型電界効果トランジスタ。

【請求項4】

前記n型及びp型電界効果トランジスタのゲート電極の金属は、Mo、Co、Ni、Pt、Cu、Pd、W、PtSi、Pd<sub>2</sub>Si、NiSiのいずれか、あるいはMo、Co、Ni、Pt、Cu、Pd、Wのいずれかを含む合金であることを特徴とする請求項1乃至3のいずれかに記載の相補型電界効果トランジスタ。

【請求項5】

前記ゲート絶縁膜中の前記化合物の濃度は、前記半導体基板側よりも前記金属ゲート電極側において高いことを特徴とする請求項1乃至4のいずれかに記載の相補型電界効果トランジスタ。

【請求項6】

半導体基板のn型及びp型電界効果トランジスタの予定領域上にゲート絶縁膜となるIV属の金属及びランタン系列の金属のいずれかの酸化物膜を形成する工程と、

前記酸化物膜の上にゲート電極となる金属膜を形成する工程と、

前記n型電界効果トランジスタ予定領域の前記酸化物膜に選択的に、前記金属膜を通してIII族の金属を導入する工程とを備えることを特徴とする相補型電界効果トランジスタの製造方法。

【請求項7】

半導体基板表面のn型及びp型電界効果トランジスタの予定領域にチャネル領域を形成する工程と、

前記チャネル領域が形成された半導体基板上にゲート絶縁膜となるIV属の金属及びランタン系列の金属のいずれかの酸化物膜を形成する工程と、

前記酸化物膜のn型電界効果トランジスタ予定領域に選択的に、III族の金属を導入する工程と、

前記p型電界効果トランジスタ予定領域の酸化物膜及びIII族の金属が導入さ

れた n 型電界効果トランジスタ予定領域の酸化物膜上にゲート電極となる金属膜を形成する工程とを備えることを特徴とする相補型電界効果トランジスタの製造方法。

【請求項 8】

前記金属膜は、Mo、Co、Ni、Pt、Cu、Pd、W、PtSi、Pd<sub>2</sub>Si、NiSi のいずれか、あるいは Mo、Co、Ni、Pt、Cu、Pd、W のいずれかを含む合金であることを特徴とする請求項 6 または 7 に記載の相補型電界効果トランジスタの製造方法。

【請求項 9】

前記 III 族の金属を前記酸化物膜の前記金属膜側に導入することを特徴とする請求項 6 乃至 8 のいずれかに記載の相補型電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、相補型電界効果トランジスタ及びその製造方法に関する。

【0002】

【従来の技術】

大規模集積回路 (LSI) は、金属／絶縁膜／半導体構造を持つ MIS 型の電界効果トランジスタ (MISFET) を多数備える。MISFET の中でも絶縁膜として酸化膜を用いた MOSFET は、n 型の導電性をもつトランジスタと p 型の導電性をもつトランジスタとがあり、両者を相補的に備える CMOSFET は LSI の主要な素子である。近年、MOSFET の微細化が進み、0.1  $\mu$ m のゲート長も目前となった。これは、MOSFET の微細化が素子の高速化につながり、低消費電力化にも繋がるという縮小則が成り立っているからである。また、微細化により素子の占有面積を縮小し、同じチップ面積により多くの素子を搭載できるようになるため、LSI の多機能化も図れる。

【0003】

しかし、縮小則の追求はゲート長 0.1  $\mu$ m を境に大きな壁にぶつかると思われている。この壁は、ゲート酸化膜の薄膜化の限界に起因している。

## 【0004】

従来、トランジスタのゲート絶縁膜は、耐熱性が良いこと、チャネル部のSiとの境界に界面準位をほとんど形成しないという特性が求められる。これらを同時に満足できるSiO<sub>2</sub>は、簡単に制御性良く薄い膜を形成できるという特長も持っていた。SiO<sub>2</sub>の比誘電率(3.9)は低いため、ゲート長0.1 μm以降の世代ではトランジスタの性能を満足するために3 nm以下の膜厚が要求される。しかし、その膜厚ではキャリアの直接トンネリングによるゲート/基板間のリーク電流増加が問題になる。この問題はSiO<sub>2</sub>を用いたゲート絶縁膜の本質的な問題であり、回避不可能と考えられる。

## 【0005】

そこで、SiO<sub>2</sub>よりも比誘電率の大きい材料を用いて直接トンネリングを回避する技術もある。その材料は、ZrO<sub>2</sub>やHfO<sub>2</sub>、あるいはそれとSiO<sub>2</sub>との化合物であるシリケート等の金属酸化物膜である(例えば、特許文献1参照)。金属酸化物は、比誘電率が約10以上と高いため、SiO<sub>2</sub>に比べ同じゲート容量を得るのにその膜厚を2倍以上にすることができるから、ゲート絶縁膜での直接トンネリングを押さえることができる。

## 【0006】

一方、多結晶シリコンゲート電極にバイアスを印加するとゲート電極に空乏領域が生じる。この空乏領域はバイアス印加によって、主にゲート絶縁膜との界面部の可動キャリアが無くなるために生じる。その結果、空乏領域は実質的に絶縁物として機能するためゲートの容量が低下してしまう。これを回避する方法はゲート電極に金属を用いることである。しかし、1種類の金属をCMOSFETのn型及びp型MOSFETのゲート電極に用いると、いずれかのトランジスタの閾値が高くなってしまい電流が取れなくなる。そのため、CMOSFETは低速動作となる問題があった。

## 【0007】

一方、n型MOSFETとp型MOSFETの双方に都合の良い金属を使い分ける方法も考えられるが、製造工程は複雑であり、コスト上昇を招く。また、金属を使い分ける方法は実用上の問題がある。例えば、n型MOSFETのゲート



金属と p 型 MOSFET のゲート金属として互いに反応を起こさない材料を選択したり、先に形成したゲート金属が後に形成するゲート金属のエッチングにより削られない材料を選択したりする必要がある。

#### 【0008】

さらに、n 型 MOSFET にとって都合の良い金属ゲート電極材料が存在しないという問題がある。n 型 MOSFET にとって都合の良い金属ゲート電極材料は仕事関数が 4 eV 付近の Al、Zr、Hf 等の金属である。これらの金属は電極形成後の熱処理により酸化物となってしまう伝導度が急激に低下する恐れがある。また、酸化されやすい材料はゲートの絶縁膜を還元するため、ゲートリーク電流を上昇させてしまう問題もある。例えば、Al 等の他、Mn は比抵抗が  $200 \mu\Omega\text{cm}$  と高く、ErSi<sub>2</sub> 等のシリサイドも Al 等と同程度に酸化されやすい。

#### 【0009】

##### 【特許文献 1】

特開 2002-231942 公報 (第 7 頁)

#### 【0010】

##### 【発明が解決しようとする課題】

以上説明したように、従来の金属ゲート電極を用いる CMOSLSI では n 型及び p 型 MOSFET のゲート電極に同じ金属材料を用いると低速動作になるという問題があった。また、n 型と p 型の MOSFET に異なるゲート電極材料を用いると、製造工程が複雑になりコストが上昇したり、適切な材料の組み合わせがない等の問題があった。

#### 【0011】

本発明は、これらの問題を解決し、高速動作とコスト削減を両立可能な相補型電界効果トランジスタとその製造方法を提供することを目的とする。

#### 【0012】

##### 【課題を解決するための手段】

上記課題を解決するために、本発明の第一は、半導体基板、半導体基板上に形成された、IV 属の金属及びランタン系列の金属のいずれかの酸化物を含み、金属

と他の金属との化合物により形成される正電荷を備えた第一のゲート絶縁膜と、第一のゲート絶縁膜上に形成された金属ゲート電極と、第一のゲート絶縁膜の両脇に形成された n 型ソース・ドレイン領域とを備える n 型電界効果トランジスタ、及び半導体基板上に形成された、IV 属の金属及びランタン系列の金属のいずれかの酸化物を含み、かつ上記正電荷を含まない第二のゲート絶縁膜と、第二のゲート絶縁膜上に形成された n 型電界効果トランジスタのゲート電極と同じ金属を含むゲート電極と、第二のゲート絶縁膜の両脇に形成された p 型ソース・ドレイン領域とを備える p 型電界効果トランジスタを具備する相補型電界効果トランジスタを提供する。

#### 【0013】

また、本発明の第二は、半導体基板、半導体基板上に形成された、IV 属の金属及びランタン系列の金属のいずれかの酸化物を含み、金属と III 族の金属の化合物を含む第一のゲート絶縁膜と、第一のゲート絶縁膜上に形成された金属ゲート電極と、第一のゲート絶縁膜の両脇に形成された n 型ソース・ドレイン領域とを備える n 型電界効果トランジスタ、及び半導体基板上に形成された、IV 属の金属及びランタン系列の金属のいずれかの酸化物を含み、酸化物中に金属と III 族の金属の化合物を含まない第二のゲート絶縁膜と、第二のゲート絶縁膜上に形成された n 型電界効果トランジスタのゲート電極と同じ金属を含むゲート電極と、第二のゲート絶縁膜の両脇に形成された p 型ソース・ドレイン領域とを備える p 型電界効果トランジスタを具備する相補型電界効果トランジスタを提供する。

#### 【0014】

また、本発明の第三は、半導体基板の n 型及び p 型電界効果トランジスタの予定領域上にゲート絶縁膜となる IV 属の金属及びランタン系列の金属のいずれかの酸化物膜を形成する工程と、酸化物膜の上にゲート電極となる金属膜を形成する工程と、n 型電界効果トランジスタ予定領域の酸化物膜に選択的に、金属膜を通して III 族の金属を導入する工程とを備えることを特徴とする相補型電界効果トランジスタの製造方法を提供する。

#### 【0015】

また、本発明の第四は、半導体基板表面の n 型及び p 型電界効果トランジスタ

の予定領域にチャネル領域を形成する工程と、チャネル領域が形成された半導体基板上にゲート絶縁膜となるIV属の金属及びランタン系列の金属のいずれかの酸化物膜を形成する工程と、酸化物膜のn型電界効果トランジスタ予定領域に選択的に、III族の金属を導入する工程と、p型電界効果トランジスタ予定領域の酸化物膜及びIII族の金属が導入されたn型電界効果トランジスタ予定領域の酸化物膜上にゲート電極となる金属膜を形成する工程とを備えることを特徴とする相補型電界効果トランジスタの製造方法を提供する。

#### 【0016】

本発明の第一乃至第四は、CMOSFETのn型及びp型MOSFETのゲート電極に同一の金属材料を含み、かつ、n型MOSFETのゲート絶縁膜のみに正電荷を導入することで、そのしきい置 $V_{th}$ をシフトさせることにより、良好な金属ゲートCMOSFETを提供することができる。

#### 【0017】

##### 【発明の実施の形態】

本発明の実施の形態について、図面を参照しつつ説明する。尚、実施の形態を通じて共通の構成には同一の符号を付すものとし、重複する説明は省略する。また、各図は模式図であり、その形状や寸法、比などは実際の装置と異なる個所があるが、具体的な形状や寸法は、以下の説明と公知の技術を参酌して判断することができる。

#### 【0018】

##### （第1の実施の形態）

図1は、本発明の第1の実施の形態に関わるn型MISFETとp型MISFETを備える相補型のCMISFETの断面図である。

#### 【0019】

第1の実施の形態のCMISFETは、同一半導体基板1上に形成されたn型のMISFET3とp型のMISFET5を備える。半導体基板1表面の両トランジスタ間には、溝に絶縁膜を埋め込んで形成された素子分離領域7が形成されている。

#### 【0020】

n型MISFET 3は、半導体基板1表面のp型ウェル9上に形成される。n型MISFET 3は、p型ウェル9の表面に形成され、p型ウェル9と接合を形成する一対のn型ソース／ドレイン領域11を備える。また、n型MISFET 3は、この一対のn型ソース／ドレイン領域11により挟まれ、半導体基板1上に順次形成されたゲート絶縁膜13及びゲート電極15を備える。

#### 【0021】

また、p型MISFET 5は、半導体基板1表面のn型ウェル19上に形成される。p型MISFET 5は、n型ウェル19の表面に形成され、n型ウェル19と接合を形成する一対のp型ソース／ドレイン領域21を備える。また、p型MISFET 5は、この一対のp型ソース／ドレイン領域21により挟まれ、半導体基板1上に形成されたゲート絶縁膜23及びゲート電極25を備える。

#### 【0022】

尚、図1の各MISFETはゲート側壁絶縁膜17、27を備えるが、これらは省略してもよい。また、図1の断面図と垂直な面（図1の紙面垂直方向の断面）の図面とその説明は、CMISFETに共通のものであり広く知られていることから省略する。

#### 【0023】

図2は、多結晶p<sup>+</sup>型Si電極／ハフニウムシリケート（HfSiON）ゲート絶縁膜／p型Si基板よりなるキャパシタに関する発明者らの実験結果を示す。この実験では、ゲート酸化膜中のハフニウム濃度（図2の横軸）により、電界による曲がりが生じないフラットバンド電圧 $V_{fb}$ （図2の縦軸）が、どのように変化するかを調べた。多結晶Si電極中にはボロンBが不純物として添加されている。

#### 【0024】

本実験の結果、ゲート絶縁膜中のハフニウム濃度の上昇により、膜中に正電荷が形成されて $V_{fb}$ が変化していることがわかった。ちなみに、ヒ素AsやリンPを導入したn型多結晶Si電極では $V_{fb}$ の変化はおきなかった。

#### 【0025】

以上から、Si電極中のBがゲート絶縁膜中に移動し、HfとBの化合により

ゲート絶縁膜中に正電荷が生成され、この正電荷が $V_{fb}$ を変えていることが考えられる。これはIV族のHfとIII族のBの結合手が一致しないために、Hfの結合手が1つあまり、それが正に帯電することによって生じるものである。このことを利用して、HfB化合物をn型MOSFETにのみ形成して、同一材料の金属を両トランジスタのゲート電極に用いることで、2つのトランジスタの閾値を適切な値にすることができる。同様の効果はIV族金属とIII族金属の化合物を含有する酸化物に特有のものである。

#### 【0026】

尚、ゲート絶縁膜中の正の電荷は、ゲート電極近傍に偏在することが望ましい。これは、次の理由による。図3(a)のゲート絶縁膜13中に電荷が存在すると、半導体基板1内のゲート絶縁膜13との接面近傍を走行する信号を伝達する電荷cが、ゲート絶縁膜13中の電荷+のクーロン場により散乱を受ける。その結果、半導体基板1中の電荷の移動度（走行速度）が減少し、MOSFETの駆動力が減少して、CMOSFETの動作速度が低下する。ゲート絶縁膜中の電荷による基板表面でのクーロン場は、ゲート絶縁膜中の電荷が基板と絶縁膜との界面から離れれば離れるほど小さくなる。よって、正電荷をゲート電極側の界面近傍領域33に偏在させることで、そのクーロン場による動作速度の低下を防ぐことができる。

#### 【0027】

図3(b)は、比誘電率20の高誘電体ゲート絶縁膜5nmについて、閾値の変化 $\Delta V_{th}=0.93V$ を与えるゲート絶縁膜中の電荷を、ゲート電極との界面からの距離(Distance)と界面を走行する電荷の移動度(Mobility)およびCOMOSFETの伝達速度(Propagation Delay)の相関性を示す図である。図3(b)から、電荷がゲート電極との界面に近いほど移動度（走行速度）が高く保たれMOSFETの伝達速度が速いことがわかる。

#### 【0028】

(第2の実施の形態)

図4(a)乃至(d)、図5(a)乃至(c)、図6(a)乃至(c)及び図

7は、本発明の第2の実施の形態に関わるCMISFETの製造方法とこれにより製造した同装置を説明するための断面図である。

#### 【0029】

まず、Si基板41に、互いに離間した複数の浅い溝型の素子分離領域(Shallow Trench Isolation)43を形成する(図4(a))。この素子分離領域43は、Si基板41の表面に約0.4 $\mu$ mの深さを持つ溝を形成した後、SiO<sub>2</sub>をCVD法によりSi基板41の表面に形成し、その後、CMP(Chemo-Mechanical Polishing)により表面を平坦化することにより形成する。

#### 【0030】

その後、Si基板41表面の各トランジスタ領域に数MeVのイオン注入を行って不純物を添加した後、約1100℃の高温短時間熱処理を行うことにより、p型とn型の深い拡散層を形成する。p型の拡散層はn型MISFETの予定領域に形成されるp型ウェル45であり、n型拡散層はp型MISFETの予定領域に形成されるn型ウェル47である(図4(a))。

#### 【0031】

その後、各MISFETの予定領域に閾値調整のためのイオン注入を行う。さらに、Si基板41上には、ゲート絶縁膜となるハフニウム酸化物とシリコン酸化物の混合膜49をMOCVD(Molecular Oxide CVD)法により約500℃で約4nmの厚さに形成する(図4(b))。この際、混合膜49中のHfの濃度は約20%以上約50%以下が望ましいが、これに限るものではない。

#### 【0032】

続いて、混合膜49を窒素プラズマにさらすことにより、この膜に窒素を導入する。この際の窒素濃度は、望ましくは約20%以上約40%以下であるがその他の濃度でもよい。尚、この窒素導入工程は省略することもできる。

#### 【0033】

続いて、Mo膜51を混合膜49上に形成する(図4(c))。Mo膜51は、Moのハロゲンガス、あるいは有機系ガスを用いたCVD法により形成する。

次に、フォトリソグラフィにより p 型 MISFET 予定領域にレジスト 53 を形成する (図 4 (d))。

#### 【0034】

その後、Si 基板 41 表面に B イオンをイオン注入する (図 5 (a))。すると、n 型及び p 型 MISFET 予定領域の Mo 膜のうち n 型 MISFET 予定領域の Mo 膜 51 のみに B をイオン注入することができる。このイオン注入のドーズ量は約  $1 \times 10^{16} \text{ cm}^{-2}$  とし、エネルギーは約 50 KeV とする。これらの値は閾値を有効に変化させうる範囲内で適宜変更可能である。B 単体以外にジボラン ( $\text{B}_2\text{H}_6$ )、あるいはデカボラン ( $\text{B}_{10}\text{H}_{14}$ ) 等を用いることもできる。

#### 【0035】

その後、レジスト 53 をアッシング等により除去して、Si 基板 41 上にはシリコン窒化膜を CVD 法等により形成する。そして、このシリコン窒化膜上のゲート電極予定位置に、フォトリソグラフィをもちいてレジスト 55 を形成する (図 5 (b))。この際、レジスト 55 は図 5 の紙面垂直方向が長手方向と一致する短冊状に形成する。そして、このレジスト 55 をマスクにして、レジスト 55 に覆われていないシリコン窒化膜と Mo 膜をエッチングにより除去する。これにより、Mo のゲート電極 57、59 とその上のシリコン窒化膜 61、63 を形成する (図 5 (b))。

#### 【0036】

続いて、希フッ酸水溶液にひたすことによりレジスト 55 等に被覆されていない混合膜 49 をエッチングにより除去する (図 5 (c))。その後、レジスト 55 を除去する (図 5 (c))。

#### 【0037】

さらに、n 型 MISFET と p 型 MISFET のソース／ドレイン予定領域にそれぞれ As と  $\text{BF}_2$  をイオン注入して、浅いイオン注入領域 65、67 を形成する (図 6 (a))。この後、約 600℃、窒素雰囲気中の熱処理により、n 型 MISFET の Mo 膜 57 中の B を混合膜 49 に拡散させる。この拡散により、n 型 MISFET の混合膜 49 中に入った B は Hf と化合物を形成する。

#### 【0038】

続いて、Si 基板 41 上に SiO<sub>2</sub> 膜を CVD 法により形成して、リアクティブイオンエッチング (RIE) により、Mo 膜 57、59 の側壁に SiO<sub>2</sub> 膜 71 を残置する (図 6 (b))。

#### 【0039】

次に、n 型 MISFET の予定領域に As を、p 型 MISFET の予定領域に BF<sub>2</sub> をイオン注入して、不純物の活性化のために約 400℃ 以上の熱処理を行って、深いソース/ドレイン領域を形成する。この熱処理は、望ましくは約 1000℃ 程度で約 20 秒程度の短時間高温処理が好ましい。続いて、Si 基板 41 上に Co 膜を形成し、約 400℃ 程度の熱処理により基板シリコンと Co を反応させる。その後、硫酸と過酸化水素水の混合液体により未反応の Co をエッチングして、約 700℃ 程度の短時間熱処理を行うことにより、両 MISFET のソース/ドレイン領域表面に CoSi<sub>2</sub> 膜 69 を形成する (図 6 (b))。

#### 【0040】

次に、Si 基板 41 上に CVD 法により層間絶縁膜となる SiO<sub>2</sub> 膜 73 を形成する (図 6 (c))。

#### 【0041】

この後は、SiO<sub>2</sub> 膜 73 にソース/ドレイン領域に至る接続用の開口を開けて、バリアメタルである TiN 膜を CVD 法により形成し、さらに、W 膜を TiN 膜上に形成して、CMP によって接続用開口内に TiN 膜 75、W 膜 77 を残置する (図 7)。そして、Al 層と Cu 層を順次積層して、フォトリソグラフィにより形状を加工することで、W 膜 75 に接続する Al 層と Cu 層の積層膜 79 を形成する (図 7)。この後は、CMISFET と接続する素子やさらに上層の配線等を形成して LSI を完成する。

#### 【0042】

以上の方法により、n 型 MISFET のゲート絶縁膜にのみ選択的に III 族の元素を導入することができる。

#### 【0043】

(第 3 の実施の形態)

図 8 (a) 乃至 (d) 並びに図 9 は、本発明の第 3 の実施の形態に関わる CM



ISFETの製造方法及びこれにより製造されたCMISFETを説明するための断面図である。

#### 【0044】

まず、Si基板41に第2の実施の形態と同様の方法で素子分離領域43、p型ウェル45、n型ウェル47、混合膜49、及びMo膜51を形成する(図8(a))。さらに、Mo膜51上にシリコン窒化膜81を形成する(図8(a))。

#### 【0045】

その後、フォトリソグラフィによりp型MISFET予定領域上のシリコン窒化膜81を覆うレジストを形成して、n型MISFET予定領域上のシリコン窒化膜を選択的に除去する(図8(b))。

#### 【0046】

その後、Si基板41を $B_2H_6$ 雰囲気中で約300℃で加熱することにより、表面にBを約 $1 \times 10^{16} \text{ cm}^{-2}$ の密度で吸着させる(図8(c))。この密度は、閾値を有効に変化させる範囲内において適宜変更することができる。また、Bの吸着にはジボラン( $B_2H_6$ )ではなく、デカボラン( $B_{10}H_{14}$ )等を用いることもできる。また、Bの吸着にかえてBを蒸着させてもよい。続いて、シリコン窒化膜81を $CF_4$ プラズマを用いて除去する。これによりn型及びp型MISFET予定領域のうちn型MISFET予定領域のMo膜51にのみ、選択的にBを導入することができる。

#### 【0047】

その後、Mo膜51上にシリコン窒化膜をCVD法により形成し、フォトリソグラフィにより形成したレジスト55をマスクにしてシリコン窒化膜とMo膜をエッチング除去することで、Mo膜からなるゲート電極57、59、その上のシリコン窒化膜61、63を短冊状に形成する(図8(d))。

#### 【0048】

続いて、希フッ酸水溶液を用いて、混合膜49のうちゲート電極57等に被覆されていない部分をエッチングにより除去する。そして、レジスト55を除去した後、第2の実施の形態と同様に浅いソース/ドレイン領域65、67を形成す

る。続いて、第2の実施の形態と同様の熱処理により、吸着あるいは蒸着させたBをゲート電極57の下に残された混合膜49に拡散させてゲート絶縁膜形状に加工した混合膜49中のHfとBの化合物を形成する。

#### 【0049】

その後は、第1の実施の形態と同様に、側壁膜71、深いソース／ドレイン領域、 $\text{CoSi}_2$ 膜69、 $\text{SiO}_2$ 膜73、TiN膜75、W膜77、Al層とCu層の積層膜79を形成して本実施の形態のCMISFETとこれに接続する配線の形成を終える(図9(b))。

#### 【0050】

尚、本実施の形態において、ゲート絶縁膜中の金属と化合して正電荷を発生させる金属としてBの他Al、Ga、In等を用いることができる。これらの吸着に際しては、各材料に適したガスを用いることができる。

#### 【0051】

この第3の実施の形態の方法は、III族元素の導入をイオン注入を用いずに行うことができ、より簡便な製法であるといえる。

#### 【0052】

(第4の実施の形態)

図10(a)乃至(d)は、本発明の第4の実施の形態に関わるCMISFETの製造方法及びこの方法により製造されたCMISFETを説明するための断面図である。

#### 【0053】

まず、第2の実施の形態と同様にして、Si基板41上に素子分離領域43、p型ウェル45、n型ウェル47、混合膜49を形成する(図10(a))。

#### 【0054】

その後、p型MISFET予定領域を覆うシリコン窒化膜91を形成する(図10(a))。そして、表面を $\text{B}_2\text{H}_6$ の雰囲気にしつつ、約 $300^\circ\text{C}$ でSi基板41を加熱することにより、n型MISFET予定領域の混合膜49にBを $1 \times 10^{16} \text{ cm}^{-2}$ 程度に吸着させる。この密度は閾値を有効に変化させうる範囲内に於いて、適宜変更可能である。続いて、シリコン窒化膜91を $\text{CF}_4$ プラズ

マにより Si 基板 41 上から除去する。B の吸着にはジボラン ( $B_2H_6$ ) ではなく、デカボラン ( $B_{10}H_{14}$ ) 等を用いることも可能であるし、B を混合膜 49 に直接蒸着させてもよい。

#### 【0055】

続いて、ゲート電極となる Mo 膜 51 をハロゲンガス、あるいは有機系のガスを用いた CVD 法により混合膜 49 上に形成する (図 10 (c))。

#### 【0056】

その後、Mo 膜 51 上にシリコン窒化膜を CVD 法により形成して、フォトリソグラフィを用いてシリコン窒化膜上のゲート電極位置に整合したレジストを形成する。そして、これをマスクにしてシリコン窒化膜と Mo 膜 51 を形状加工して、図 10 (d) のシリコン窒化膜 61 と Mo のゲート電極 57、59 を形成する。その後、混合膜よりなるゲート絶縁膜 49 をゲート電極 57、59 をマスクにして形状加工する。

#### 【0057】

その後は、第 2 の実施の形態と同様に、ゲート電極側壁の  $SiO_2$  膜 71、浅いソース/ドレイン領域 65、67、 $CoSi_2$  膜 69、 $SiO_2$  膜 73 等を形成する。尚、本実施の形態では、混合膜 49 の n 型 MISFET 予定領域に B を吸着あるいは蒸着させた後に Mo 膜 51 を形成している。従って、本実施の形態では、第 2 及び第 3 の実施の形態で行った、Mo 膜 51 から混合膜へ B を拡散させるための熱処理を省略している。

#### 【0058】

さらに、第 2 の実施の形態と同様に TiN 膜 75、W 膜 77、Al 層と Cu 層の積層膜 79 等を形成して、本実施の形態の CMISFET とこれに接続する配線の形成を終える (図 10 (d))。

#### 【0059】

(第 5 の実施の形態)

図 11 (a) 及び (b) は、本発明の第 5 の実施の形態に関わる CMISFET の製造方法及びこの方法により製造した CMISFET を説明するための断面図である。

## 【0060】

まず、第2の実施の形態と同様に、Si基板41上に素子分離領域43、p型ウェル領域45、n型ウェル領域47、混合膜49、及びMo膜51を形成する。その後、Mo膜51上にシリコン窒化膜61、63を形成する。尚、第2の実施の形態では、Mo膜上のシリコン窒化膜を形成する前にMo膜にBを導入したが、本実施の形態ではこの工程を省く。

## 【0061】

次に、フォトリソグラフィを用いてp型MISFET予定領域をレジストにより覆い、n型MISFET予定領域のSi基板41にのみBをイオン注入する。その際のドーズ量は約 $1 \times 10^{16} \text{ cm}^{-2}$ 、エネルギーは約70 KeVである。本実施形態では、シリコン窒化膜を形成してからBを添加するため、イオン注入エネルギーを第1の実施の形態に比べ高くする必要がある。添加量は、閾値を有効に変化できる範囲内において適宜変更できる。Bのイオン注入は、B単体の他、ジボラン ( $\text{B}_2\text{H}_6$ )、あるいはデカボラン ( $\text{B}_{10}\text{H}_{14}$ ) 等を使うことができる。

## 【0062】

続いて、シリコン窒化膜61、Mo膜57、59、混合膜49をレジストを用いてエッチングすることにより、ゲート形状に加工する(図11(a))。この後、ゲート電極57に被覆されずに露出している部分を希フッ酸水溶液によりエッチングすることで、混合膜49をゲート絶縁膜の形状に加工する(図11(a))。尚、これらのエッチングはBの添加前に行なうことも可能である。その際は、n型MISFETのソース/ドレイン予定領域にもBを添加してしまうため、注入量は抑えることが望ましい。

## 【0063】

次に、n型MISFET予定領域のSi基板41にAsをイオン注入して浅いソース/ドレイン不純物領域を形成する。続いて、n型MISFET予定領域をレジストで覆った後、p型MISFET予定領域に $\text{BF}_2$ をイオン注入して浅いソース/ドレイン不純物領域を形成する。この後、約600℃、窒素雰囲気中の熱処理により、注入したBをMo膜を介してゲート絶縁膜である混合膜49中に拡散させ、混合膜49中にHfとBの化合物を形成する。

## 【0064】

続いて、第1の実施の形態と同様に、ゲート電極57の側壁のSiO<sub>2</sub>膜71、深いソース／ドレイン不純物領域を形成する。その後、注入した不純物の活性化の為に約400℃以上の熱処理、望ましくは約1000℃程度で約20秒の短時間高温処理を施す。

## 【0065】

続いて、第1の実施の形態と同様の方法で、CoSi<sub>2</sub>膜69、SiO<sub>2</sub>膜73の層間絶縁膜、TiN膜75、W膜77、Al層とCu層の積層膜79を形成して、本実施の形態のCMISFETとこれに接続する配線の形成を終える（図11（b））。

## 【0066】

（第6の実施の形態）

図12（a）乃至（d）、図13は、本発明の第6の実施の形態に関わるCMISFETの製造方法及びこれにより製造されたCMISFETを説明するための断面図である。

## 【0067】

まず、第2の実施の形態と同様にして、Si基板41表面に素子分離領域43、p型ウェル領域45、n型ウェル領域47を形成する（図12（a））。また、閾値調整のためのイオン注入を行う。

## 【0068】

その後、ダミーのゲート絶縁膜となるシリコン酸化膜をSi基板41の表面に約4nmの厚さに形成する。また、シリコン絶縁膜の上にダミーゲート電極となる多結晶シリコン膜を形成する。このダミーのゲート絶縁膜とゲート電極をフォトリソグラフィ工程によりゲート形状に加工することで、ゲート領域以外のSi基板41の表面を露出する。この露出したSi基板41の表面にイオン注入により浅く、かつ横に伸びた不純物領域を形成する。その後、ダミーのゲート電極の側壁にシリコン窒化膜101を形成する。

## 【0069】

そして、ダミーのゲート電極や側壁シリコン窒化膜101をマスクにして、こ

れらに覆われていない Si 基板 41 の表面に As や BF<sub>2</sub> をイオン注入して、各トランジスタの深いソース／ドレイン不純物領域を形成する。ここで、注入した不純物の活性化の為に約 400℃ 以上の熱処理、望ましくは約 1000℃ で約 20 秒の短時間高温処理を施す。これにより、ソース／ドレイン領域 103 を形成する（図 12（b））。また、第 1 の実施の形態と同様の方法で CoSi<sub>2</sub> 膜 69 を形成する（図 12（b））。

#### 【0070】

その後、Si 基板 41 の上に CVD 法により SiO<sub>2</sub> 膜を形成し、CMP によりダミーのゲート電極の上表面を露出するまで削りこむ。その後、CF<sub>4</sub> によるプラズマ処理によりダミーのゲート電極の多結晶シリコンを除去し、さらにダミーのゲート絶縁膜を希フッ酸水溶液により除去する。これにより、層間絶縁膜となる SiO<sub>2</sub> 膜 105 と側壁シリコン窒化膜 101 が Si 基板 41 上に残される（図 12（b））。

#### 【0071】

続いて、ゲート直下の Si 基板 41 に閾値調整のためのイオン注入を行なった後、ゲート絶縁膜となるハフニウム酸化物とシリコン酸化物の混合膜を MOCVD 法により約 500℃ で約 4nm の厚さで Si 基板 41 上に形成する。この混合膜は、第 1 の実施の形態の混合膜 49 と同様の方法により形成することができる。その後、混合膜の表面を窒素プラズマに晒すことで混合膜に窒素を導入する。この窒化処理は省略可能である。

#### 【0072】

続いて、混合膜上に、Mo のハロゲンガスあるいは有機系のガスを用いた CVD 法により Mo 膜を形成し、SiO<sub>2</sub> 膜 105 上にある Mo 膜と混合膜を CMP 法により除去する。これにより混合膜からなるゲート絶縁膜 107 と Mo のゲート電極 109 を形成する（図 12（c））。

#### 【0073】

そして、p 型 MISFET 予定領域のみを覆うレジスト 111 を形成した後、全面に B をイオン注入する（図 12（d））。これにより、n 型 MISFET 予定領域のゲート電極 109 とその周囲の SiO<sub>2</sub> 膜 105 にのみ B が添加される

。この際のドーズ量は、約  $1 \times 10^{16} \text{ cm}^{-2}$ 、エネルギーは約  $50 \text{ KeV}$  である。この条件は、n型MISFETの閾値を有効に変化できる範囲内に於いて適宜変更可能である。また、B単体でなくジボラン ( $\text{B}_2\text{H}_6$ )、あるいはデカボラン ( $\text{B}_{10}\text{H}_{14}$ ) 等を用いることができる (図12 (d))。

#### 【0074】

その後、p型MISFET予定領域上のレジスト111をアッシング等により除去した後、約  $600^\circ\text{C}$  の熱処理を施してゲート電極109中のBをゲート絶縁膜107に拡散させ、ゲート絶縁膜107中のHfと反応させる。この反応により、ゲート絶縁膜中に正電荷を形成することができる。

#### 【0075】

続いて、第1の実施の形態と同様に、 $\text{SiO}_2$ 膜105に各MISFETのソース/ドレインのCoSi<sub>2</sub>膜69に至る開口を形成した後、バリアメタルであるTiN膜75、W膜77、Al層とCu層の積層膜79を形成する (図13)。これにより本実施の形態のCMISFETとこれに接続する配線の形成を終える。

#### 【0076】

本実施の形態の方法によれば、ソース/ドレイン不純物の活性化のための高温熱処理の後にゲート絶縁膜を形成するため、ゲート絶縁膜に耐熱性の低い材料を用いることが可能となる。

#### 【0077】

以上、本発明の実施の形態を説明したが、本発明はこれらに限られず、特許請求の範囲に記載の発明の要旨の範疇において適宜変更可能である。

#### 【0078】

例えば、ゲート電極材料にはMoの他、p型MISFETの閾値を適切に設定できる仕事関数をもつ材料、つまり仕事関数が約  $5 \text{ eV}$  に近い材料を使うことができる。例えば、Co、Ni、Pt、Cu、Pd、W、Pt、Cu、Pd、W、PtSi、Pd<sub>2</sub>Si、NiSi等である。

#### 【0079】

ゲート絶縁膜はHfO<sub>2</sub>とシリコン酸化物の混合膜の他、HfO<sub>2</sub>膜を用いるこ

ともできる。さらにこれらに限定されることは無く、 $ZrO_2$ あるいはそれとシリコンの酸化物の混合膜、 $TiO_2$ あるいはそれとシリコン酸化物の混合膜、 $La_2O_3$ 等のランタノイド系金属の酸化物あるいはそれとシリコン酸化物の混合物でもよい。また、ランタノイド系金属の酸化物と $Al_2O_3$ との混合物でも良い。

#### 【0080】

また、 $n$ 型MISFETのゲート絶縁膜の金属と化合して正電荷を発生させる金属としては、Bの他III属の元素、例えばAl、Ga、In等がある。

#### 【0081】

また、ゲート絶縁膜はMOCVD法により形成できる他、ハライド系のCVDを用いることもできるし、スパッタ法、蒸着法、アブレーション法、塗布法その他の方法を用いてもよい。また、その形成の際にラジカルを用いても良いし、光を照射してもよい。ゲート絶縁膜を窒化する際にプラズマを用いることもできる。その際は、基板を載置するチャンバ内にプラズマを形成しても良いし、チャンバに接続する配管中で形成したプラズマを基板を載置したチャンバ内に導入してもよい。また、プラズマの窒化によらず、 $NH_3$ を含有する雰囲気中でゲート絶縁膜をCVD法により形成することもできるし、ゲート絶縁膜形成後に $NH_3$ 中で熱処理することも可能である。さらに、窒素を極低加速イオン注入によりゲート絶縁膜中に導入することもできる。

#### 【0082】

また、ソース／ドレイン領域の不純物の導入は、イオン注入の他、不純物を添加したSi膜を基板のソース／ドレイン領域上に形成して、Si膜から不純物を拡散させることで形成することもできる。あるいは不純物を添加したゲート側壁の $SiO_2$ や $SiON$ からの拡散を用いることもできる。

#### 【0083】

ソース・ドレイン領域のシリサイド層は、 $CoSi_2$ の他、 $NiSi$ 等の他のシリサイド材料を用いることもできる。

#### 【0084】

また、基板はSi基板の他、SOI (Silicon On Insulator) 基板を用いることができる。さらに、MISFETの構造は基板面に平行



に電流を流すものの他、基板面に垂直に電流を流す（例えば、基板表面の Si 柱の側部に電流を流す）縦型 MISFET に用いることもできる。

#### 【0085】

##### 【発明の効果】

以上述べたように本発明によれば、簡便かつ高速の金属ゲート CMOSFET とその製造方法を提供することができる。

##### 【図面の簡単な説明】

##### 【図1】

本発明の第1の実施の形態に関わる CMISFET を説明するための断面図。

##### 【図2】

HfB化合物による閾値（フラットバンド電圧）の変化を示す図。

##### 【図3】

ゲート絶縁膜中の電荷による界面走行電荷の移動度劣化を説明する図、及び電荷の位置と界面を走行する電荷の移動度の変化を説明する図。

##### 【図4】

本発明の第2の実施の形態に関わる CMISFET の製造方法を説明するための断面図。

##### 【図5】

図4に続けて、第2の実施の形態に関わる CMISFET の製造方法を説明するための断面図。

##### 【図6】

図5に続いて、第2の実施の形態に関わる CMISFET の製造方法を説明するための断面図。

##### 【図7】

図6に続いて、第2の実施の形態に関わる CMISFET の製造方法を説明するための断面図。

##### 【図8】

本発明の第3の実施の形態に関わる CMISFET の製造方法を説明するための断面図。

**【図 9】**

図 8 に続けて、第 3 の実施の形態に関わる C M I S F E T の製造方法を説明するための断面図。

**【図 10】**

本発明の第 4 の実施の形態に関わる C M I S F E T の製造方法を説明するための断面図。

**【図 11】**

本発明の第 5 の実施の形態に関わる C M I S F E T の製造方法を説明するための断面図。

**【図 12】**

本発明の第 6 の実施の形態に関わる C M I S F E T の製造方法を説明するための断面図。

**【図 13】**

図 12 に続けて第 6 の実施の形態に関わる C M I S F E T の製造方法を説明するための断面図。

**【符号の説明】**

- 1 . . . 半導体基板、
- 3 . . . n 型 M I S F E T
- 5 . . . p 型 M I S F E T
- 7、43 . . . 素子分離領域
- 9、45 . . . p 型ウェル
- 11 . . . n 型ソース／ドレイン領域
- 13 . . . B と H f の化合物を含むゲート絶縁膜
- 15、25、57、59、109 . . . 金属ゲート電極
- 17、27 . . . ゲート側壁絶縁膜
- 19、47 . . . n 型ウェル
- 21 . . . p 型ソース／ドレイン領域
- 23 . . . B が添加されていないゲート絶縁膜
- 33 . . . 界面近傍領域

41・・・Si基板

49、107・・・ハフニウム酸化物とシリコン酸化物の混合膜

51・・・Mo膜

53、55、111・・・レジスト

61、63、81、91・・・シリコン窒化膜

65、67、103・・・ソース／ドレイン領域

69・・・CoSi<sub>2</sub>膜

71、101・・・側壁膜

73、105・・・SiO<sub>2</sub>膜

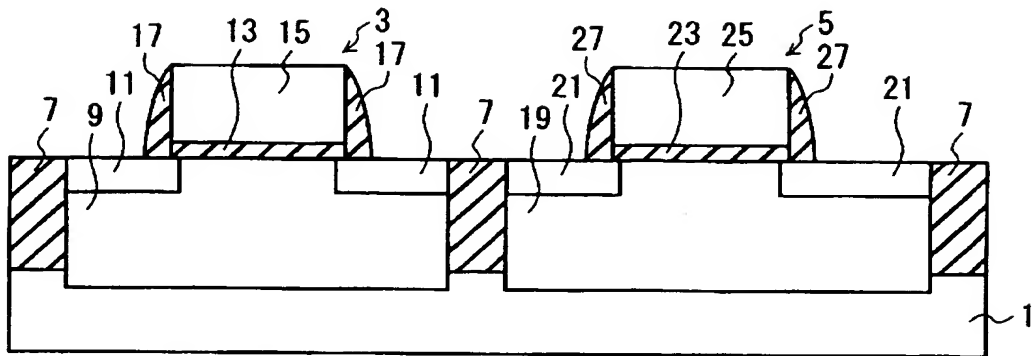
75・・・TiN膜

77・・・W膜

79・・・Al層とCu層の積層膜

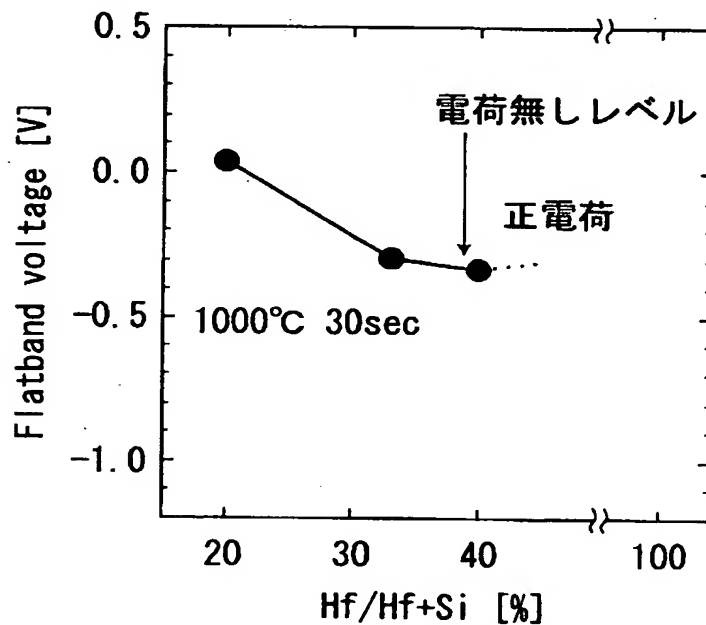
【書類名】 図面

【図 1】

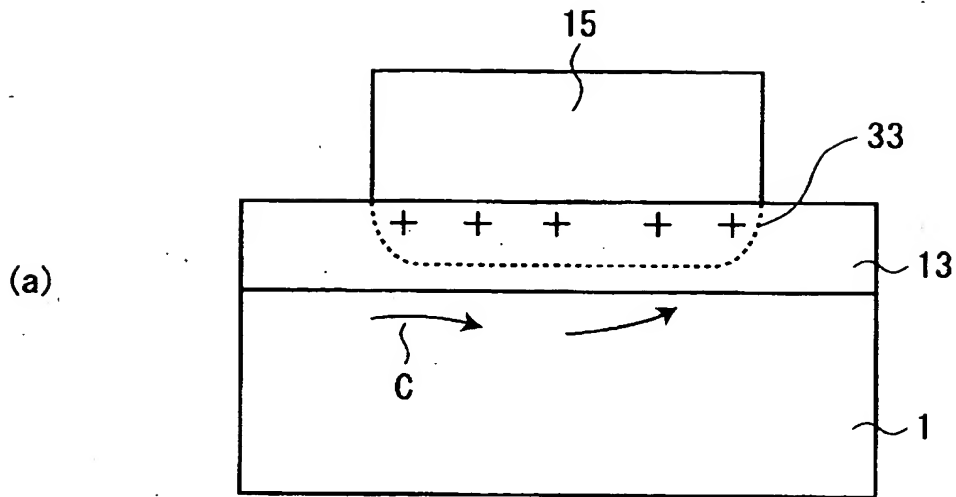


- |                 |                      |
|-----------------|----------------------|
| 1…半導体基板         | 13…BとHfの化合物を含むゲート絶縁膜 |
| 3…n型MISFET      | 15、25…金属ゲート電極        |
| 5…p型MISFET      | 17、27…ゲート側壁絶縁膜       |
| 7…素子分離領域        | 19…n型ウェル             |
| 9…p型ウェル         | 21…p型ソース/ドレイン領域      |
| 11…n型ソース/ドレイン領域 | 23…Bが添加されていないゲート絶縁膜  |

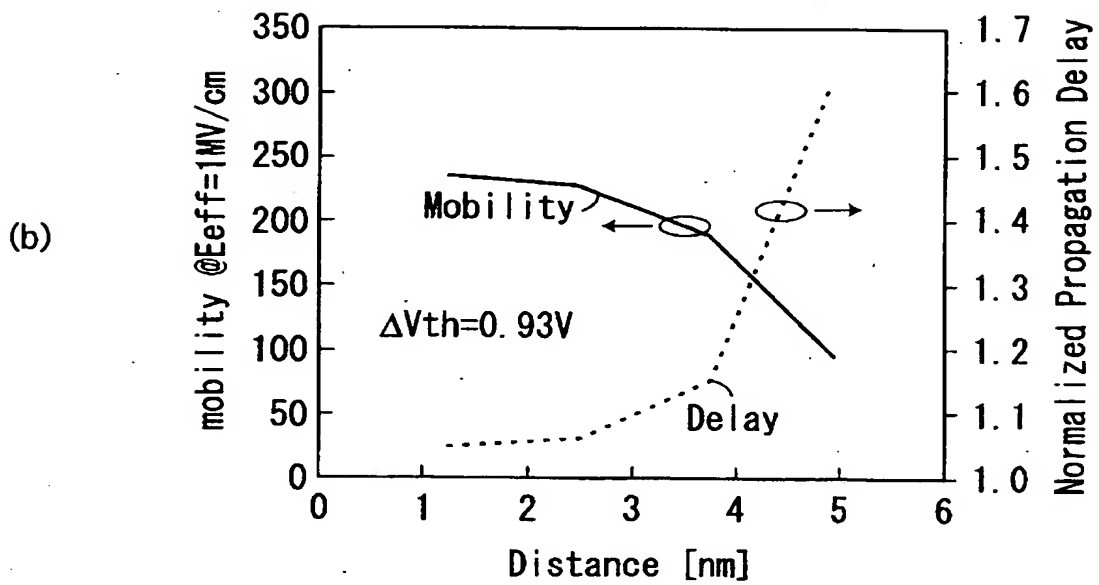
【図 2】



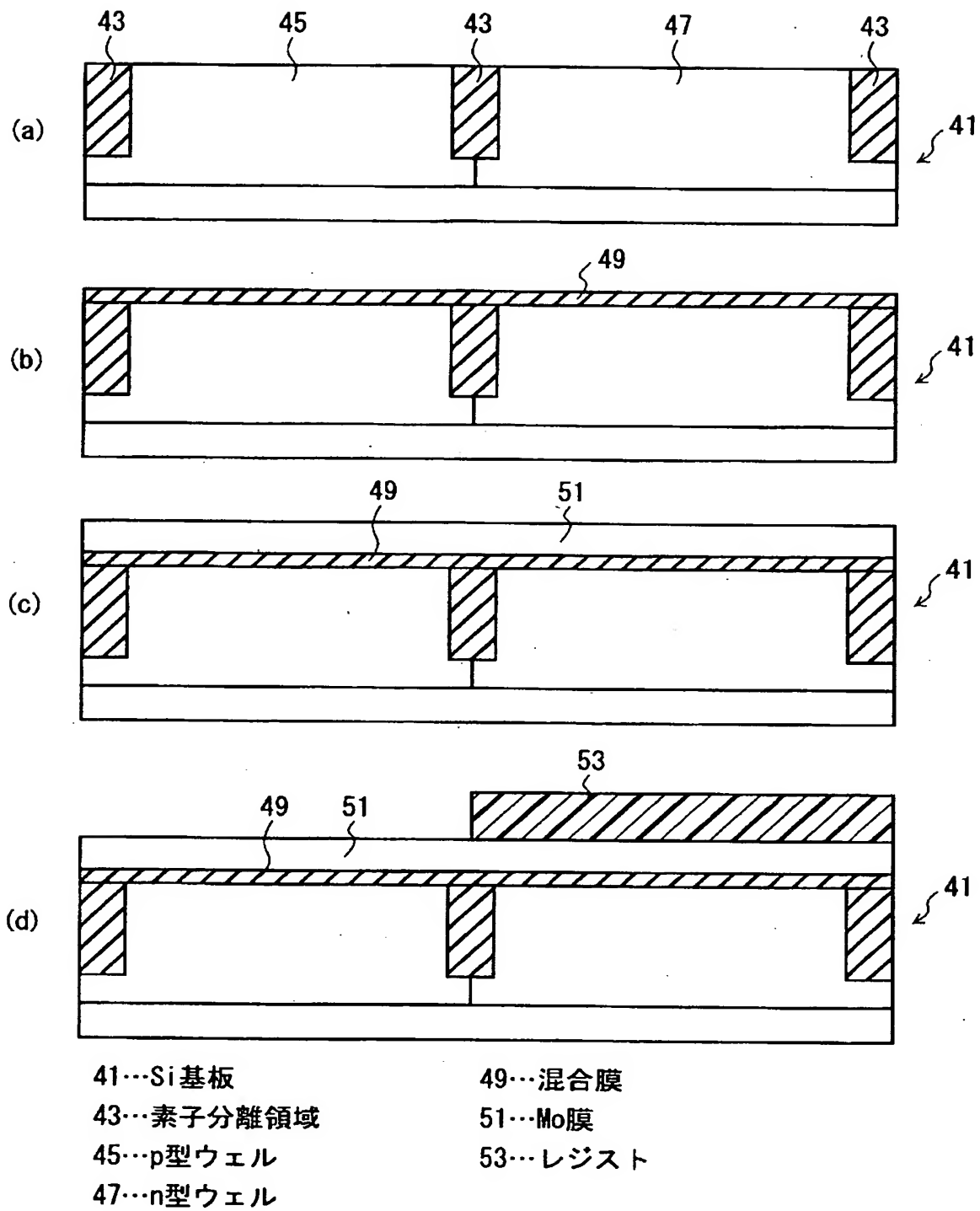
【図 3】



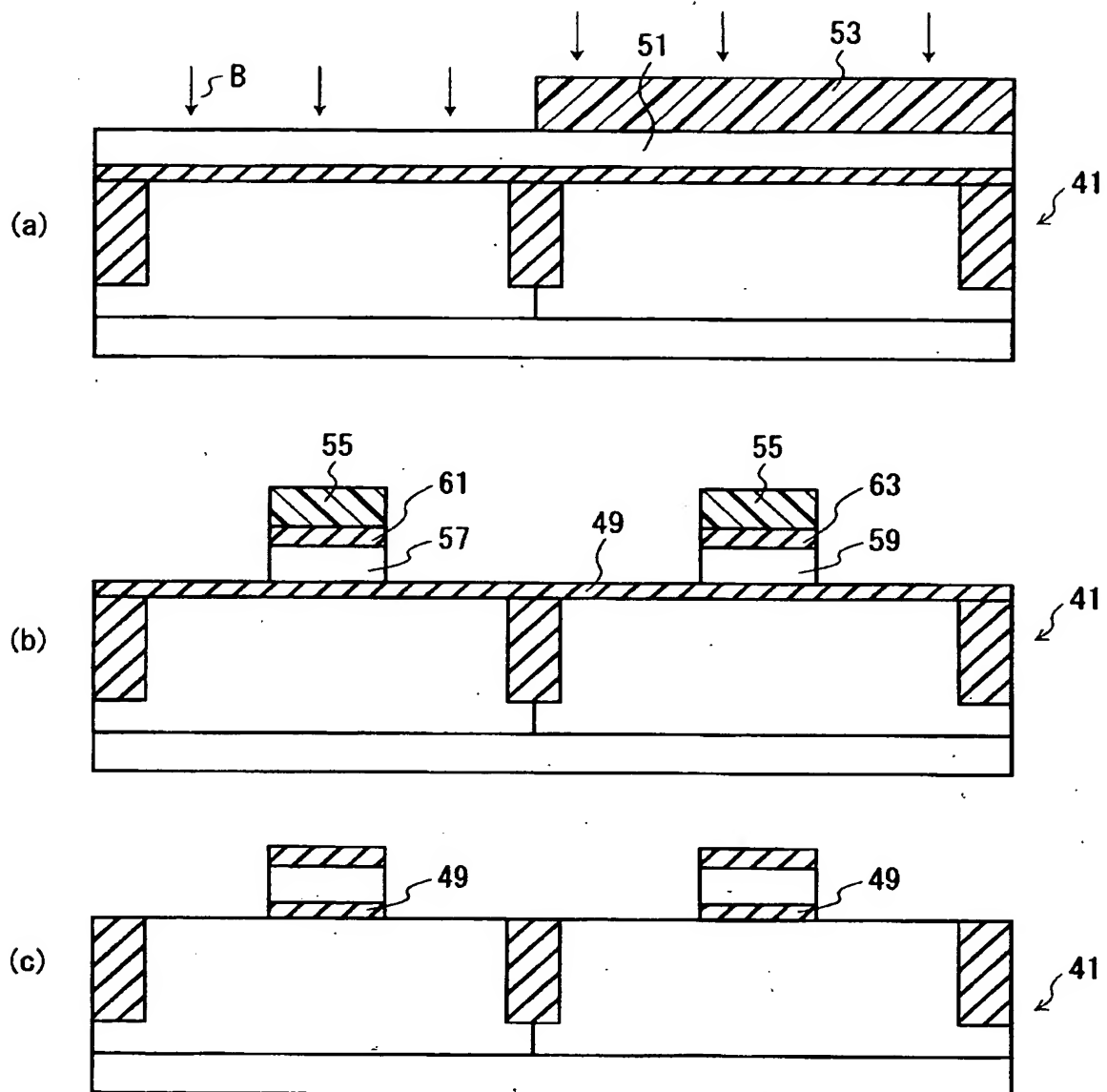
33…界面近傍領域



【図 4】



【図 5】

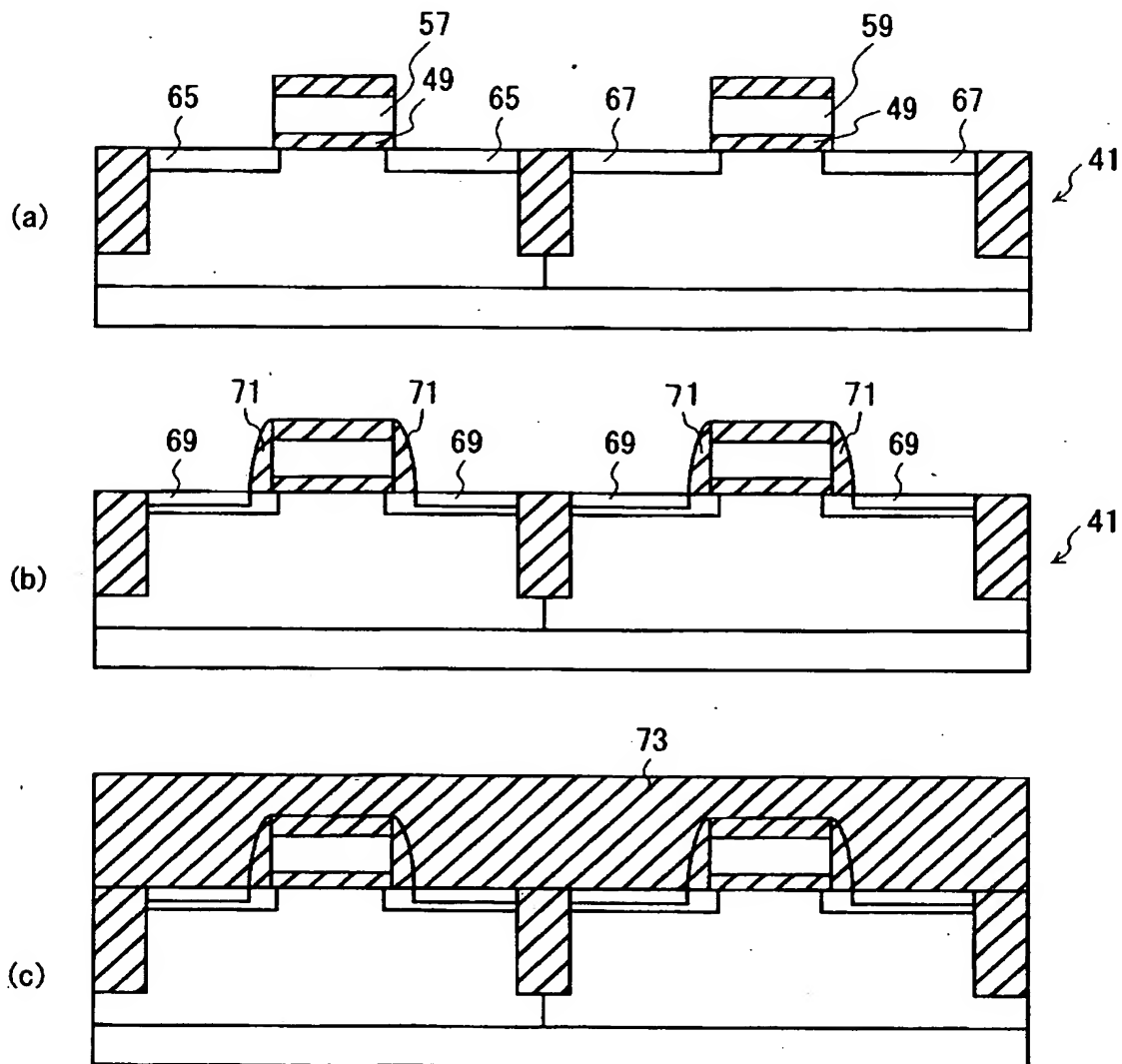


55…レジスト

57、59…ゲート電極

61、63…シリコン窒化膜

【図 6】



65、67…浅いソース／ドレイン領域

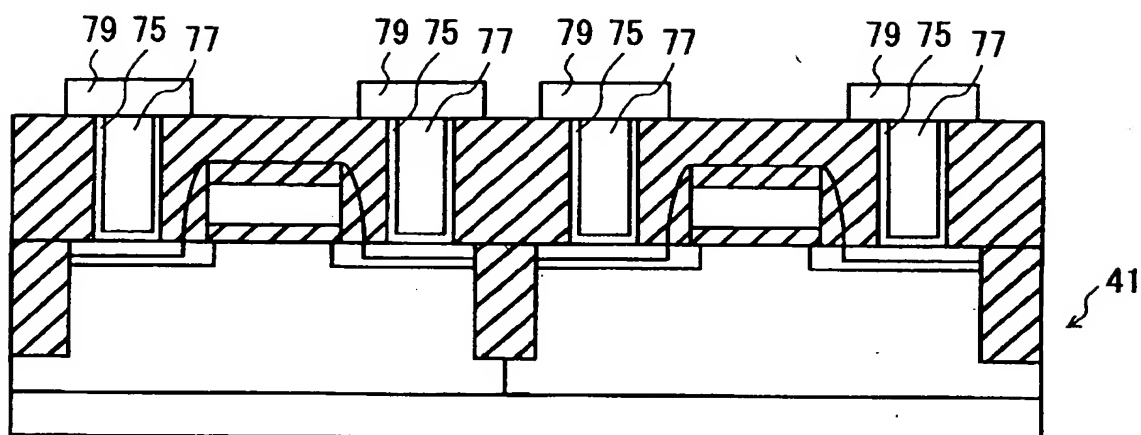
69…CoSi<sub>2</sub>膜

71…側壁膜

73…SiO<sub>2</sub>膜



【図 7】

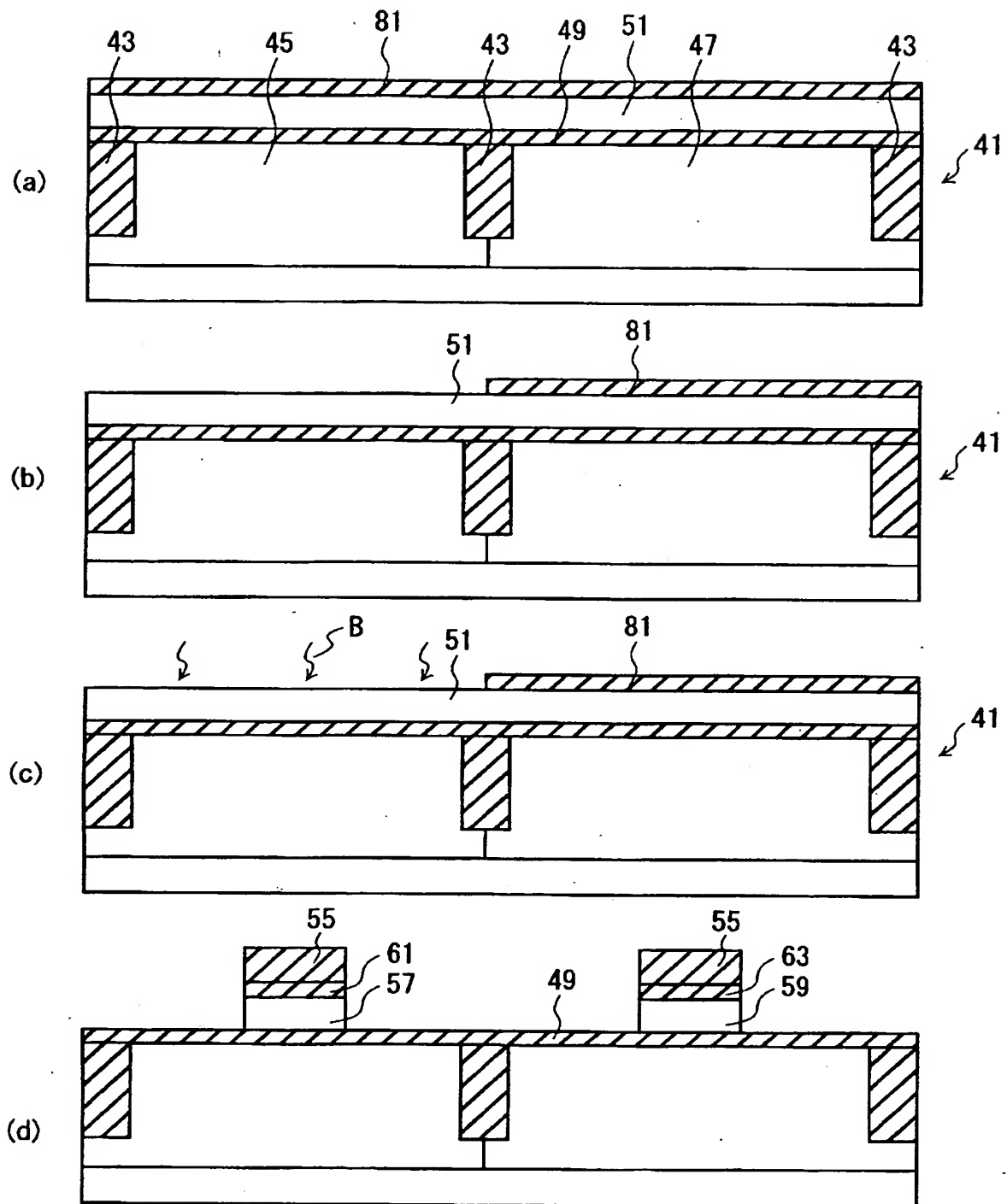


75...TiN膜

77...W膜

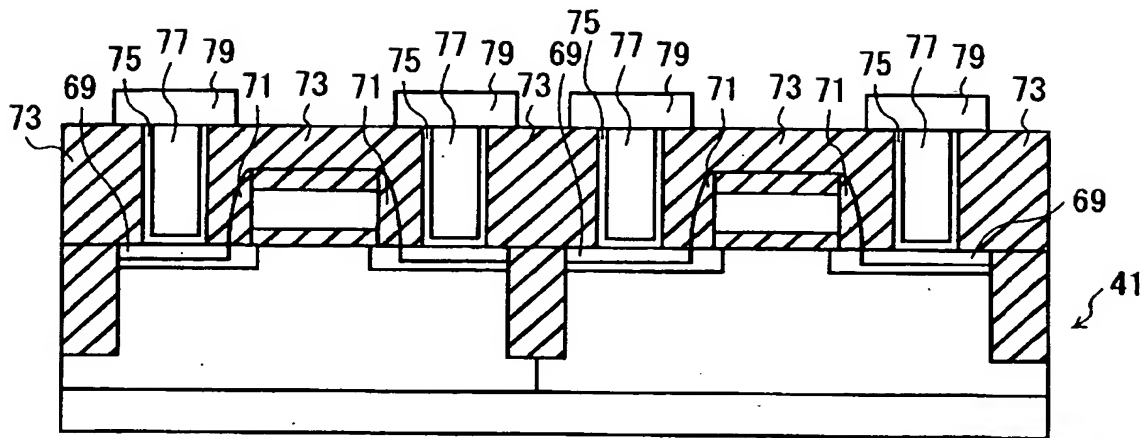
79...Al/Cu膜

【図 8】

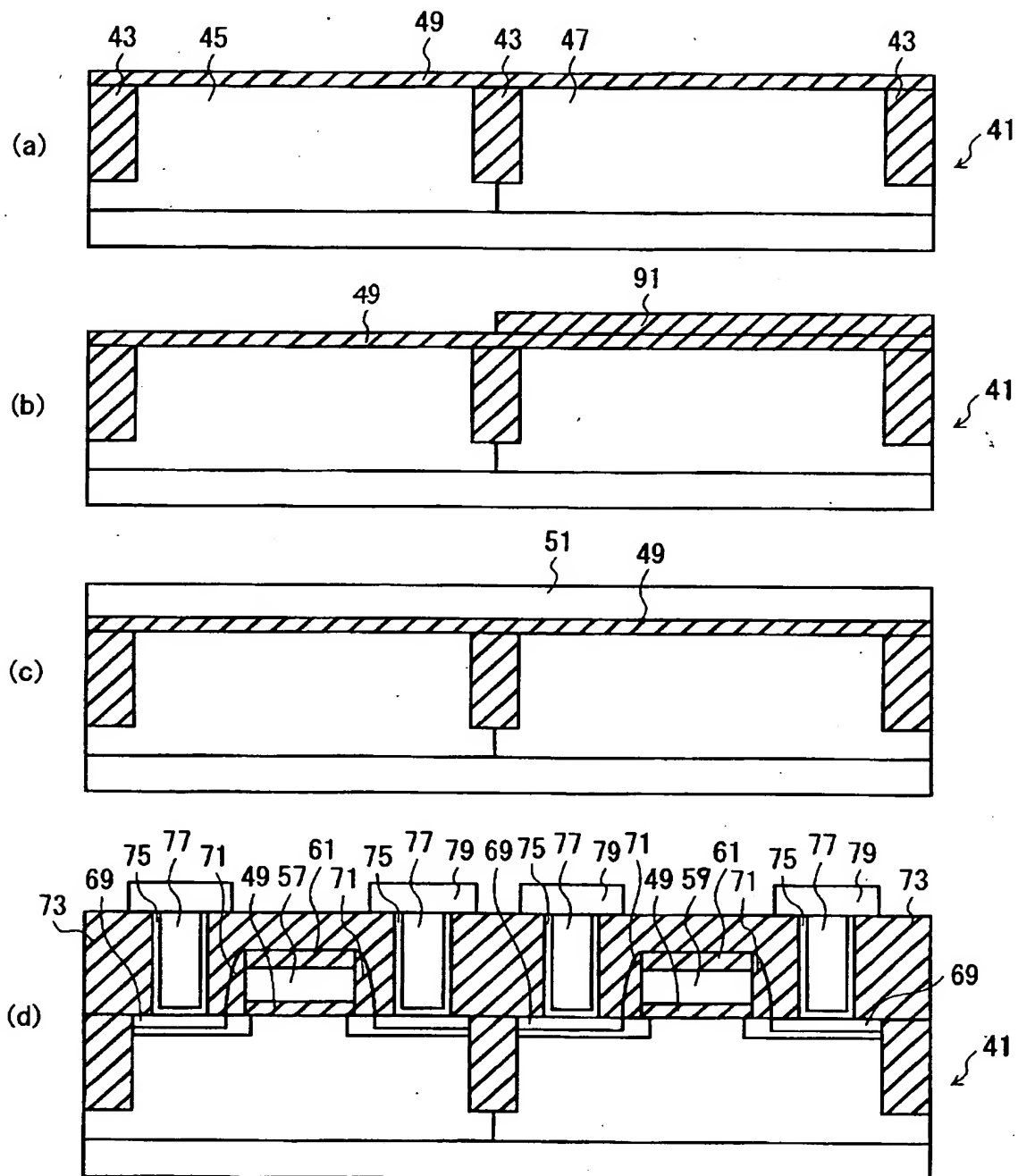


81…シリコン窒化膜

【図 9】



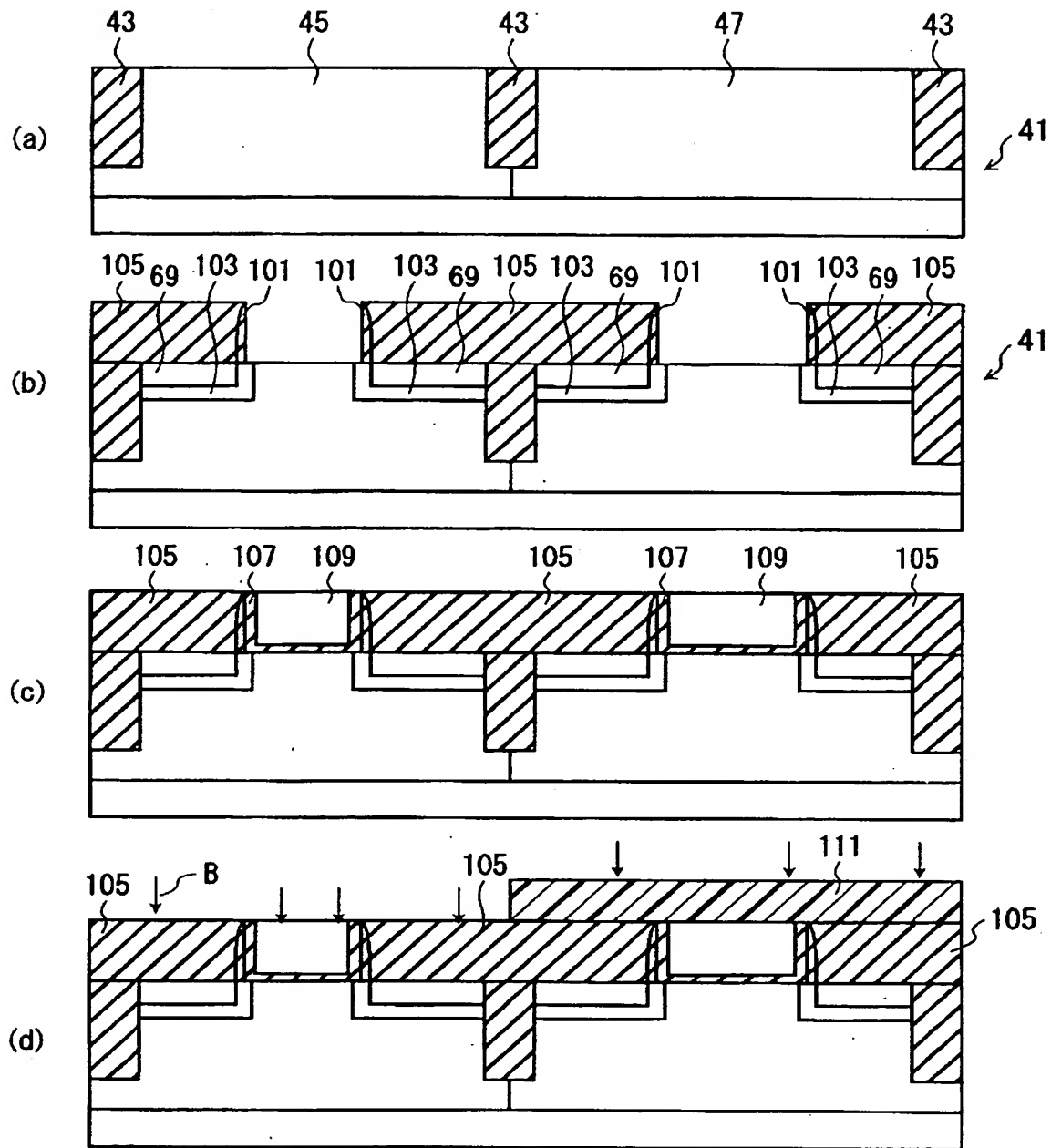
【図10】



91…シリコン窒化膜



【図 12】



101...側壁膜

103...ソース/ドレイン領域

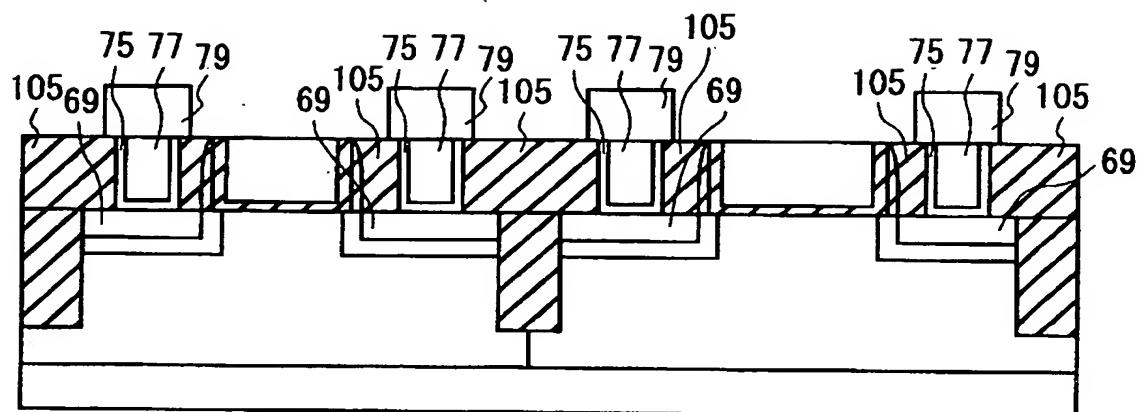
105...SiO<sub>2</sub>膜

107...混合膜

109...ゲート電極

111...レジスト

【図 13】



【書類名】 要約書

【要約】

【課題】 高速動作とコスト削減を両立する新規なCMOSFETの提供。

【解決手段】 n型MISFET 3は、p型ウェル9と接合を形成する一対のn型ソース／ドレイン領域11を備える。また、n型MISFET 3は、この一対のn型ソース／ドレイン領域11により挟まれ、半導体基板1上に順次形成されたゲート絶縁膜13及び金属ゲート電極15を備える。また、p型MISFET 5は、n型ウェル19と接合を形成する一対のn型ソース／ドレイン領域21を備える。また、p型MISFET 5は、この一対のn型ソース／ドレイン領域21により挟まれ、半導体基板1上に形成されたゲート絶縁膜23及び金属ゲート電極25を備える。n型とp型のMISFETのうち、n型MISFETのゲート絶縁膜13はIV属の金属及びランタン系列の金属のいずれかの酸化物を含み、かつ、この金属とIII族の金属の化合物を含む。

【選択図】 図1



認定・付加情報

特許出願の番号	特願 2003-011843
受付番号	50300085907
書類名	特許願
担当官	第五担当上席 0094
作成日	平成15年 1月22日

< 認定情報・付加情報 >

【提出日】 平成15年 1月21日

次頁無

特願 2003-011843

出願人履歴情報

識別番号

[000003078]

1. 変更年月日            2001年 7月 2日  
   [変更理由]            住所変更  
                  住 所    東京都港区芝浦一丁目1番1号  
                  氏 名    株式会社東芝
  
2. 変更年月日            2003年 5月 9日  
   [変更理由]            名称変更  
                  住所変更  
                  住 所    東京都港区芝浦一丁目1番1号  
                  氏 名    株式会社東芝